

(19) Japan Patent Office (JP) (12) Patent Gazette (A)

(11) Patent Application Publication

No. 2000-101870 (P2000-101870A)

(43) Date of Publication: April 7, 2000

 (51) Int. Cl. ID No. FI Theme code (Ref.)

H04N 5/208 H04N 5/208 5C021

Examination: not yet requested 9 claims OL (9 pages)

 (21) Application No.: H10-268571

(22) Date of filing: September 22, 1998

(71) Applicant: 000003078

Toshiba Corporation

72 Horikawa-cho, Saiwai-ku, Kawasaki, Kanagawa Pref.

(72) Inventor: Matsugami, Hisaki

Toshiba Multimedia Laboratory, 8 Shin-sugita-cho,

Isogo-ku, Yokohama, Kanagawa Pref.

(72) Inventor: Ogawa, Yoshihiko

Toshiba Multimedia Laboratory, 8 Shin-sugita-cho,

Isogo-ku, Yokohama, Kanagawa Pref.

(74) Attorney: 100077849

Suyama, Saichi

F terms (Ref.) 5C021 PA06 PA17 PA18 PA33 PA53

PA58 PA62 PA75 RA02 RB04

XB03 XB04 XB07

 [Title of the Invention] Digital signal processing circuit

[Abstract]

[Object] To improve the crispness of edges after conversion of the number of pixels in an image signal.

[Means of Solution] An input image signal input from an input terminal 101 is input to an interpolation filter 102 and a control signal generating circuit 103. The control

signal generating circuit 103 generates a control signal, which is input to a phase control circuit 104. The phase control circuit 104 performs control of the interpolation phase of the interpolation filter 102 according to the control signal. The interpolation filter 102 performs a conversion of the number of pixels in the input image signal, and outputs the converted image signal from an output terminal 105. Edge crispness can be improved by generating the control signal from high-frequency components of the input signal and, in interpolation by the interpolation filter, controlling the phase of the interpolated pixels by the control signal.

[Claims]

[Claim 1] A digital signal processing circuit characterized by having:

means for interpolating pixels in an input image signal to convert the number of pixels;

means for generating a control signal from a high-frequency signal of said input image signal; and

control means for controlling the phase of the interpolated pixels according to said control signal.

[Claim 2] The digital signal processing circuit of claim 1, characterized in that the control signal generating means comprises:

means for extracting a first-derivative signal of said input image signal;

means for extracting a second-derivative signal;

first conversion means for converting the number of pixels in said first-derivative signal;

second conversion means for converting the number of pixels in said second-derivative signal; and

means for inverting a sign of the output of the first conversion means according to the sign of the output of the

second conversion means.

[Claim 3] The digital signal processing circuit of claim 1, characterized in that the control signal generating means comprises:

- means for extracting a first-derivative signal of said input image signal;

- means for extracting a second-derivative signal;

- first conversion means for converting the number of pixels in said first-derivative signal;

- second conversion means for converting the number of pixels in said second-derivative signal;

- means for inverting a sign of the output of the first conversion means according to the sign of the output of the second conversion means;

- level detection means for detecting an output level of said inverting means; and

- level control means for controlling a level of the output of the inverting means responsive to the output of said level detection means.

[Claim 4] The digital signal processing circuit of claim 1, characterized in that the control signal generating means comprises:

- means for extracting a second-derivative signal of said input image signal;

- means for converting the number of pixels in said second-derivative signal;

- means for detecting sign changes in the output of said conversion means;

- means for outputting data of an arbitrary characteristic in an arbitrary range around said sign changes; and

- combining means for combining said data output.

[Claim 5] The digital signal processing circuit of claim 1, characterized in that the control signal generating means

comprises:

means for extracting a second-derivative signal of said input image signal;

first conversion means for converting the number of pixels in the second-derivative signal;

means for detecting sign changes in the output of said first conversion means;

second conversion means for converting the number of pixels in the input video signal;

means for detecting a ratio of levels in the output of said second conversion means around said sign changes;

means for outputting data with a ratio equal to the ratio detection output in an arbitrary range around said sign changes; and

combining means for combining said data output.

[Claim 6] The digital signal processing circuit of claim 1, characterized in that the control signal generating means comprises:

means for extracting a second-derivative signal of said input image signal;

conversion means for converting the number of pixels in the second-derivative signal;

means for detecting sign changes in the output of said conversion means;

means for detecting a ratio of levels in the output of said second conversion means around said sign changes;

means for outputting data with a ratio equal to the ratio detection output in an arbitrary range around said sign changes; and

combining means for combining said data output.

[Claim 7] The digital signal processing circuit of any one of claims 2 to 5, characterized in that the control signal generating means reduces the level of said control signal when said second-derivative signal output is small.

[Claim 8] The digital signal processing circuit of any one of claims 2 to 5, characterized in that the control signal generating means has a means for extracting a vertical low-frequency component of said control signal, and uses said vertical low-frequency output as the control signal.

[Claim 9] The digital signal processing circuit of claim 1, characterized in that the control means delays the phase of the interpolated pixels responsive to the magnitude of said control signal when said control signal has a positive value, and advances the phase of the interpolated pixels responsive to the magnitude of said control signal when said control signal has a negative value.

[Detailed Description of the Invention]

[0001]

[Industrial Field to which the Invention Belongs]

This invention relates to a digital signal processing circuit that converts the number of pixels in an image signal.

[0002]

[Prior Art]

Interpolation by an interpolation filter is generally used as a means of converting the number of pixels in an image signal; Fig. 20 shows an example of this conversion. An image signal input from an input terminal 201 is input to an interpolation filter 202. The interpolation filter 202 interpolates pixels at phases corresponding to the number of converted pixels; an image signal with a converted number of pixels is obtained from the output terminal 203.

[0003]

Fig. 21 shows an example of the interpolation phases. Fig. 21 is an example in which the number of pixels is converted by a factor of $8/3$. The white circles in the drawing are the original pixels; the black circles are the interpolated pixels. The output of the interpolation filter

202 becomes the image signal with the converted number of pixels, with the waveform shown in the drawing.

[0004]

Increasing the number of pixels by a factor of $8/3$ as shown in Fig. 21 increases the expressible region by a factor of $8/3$ as shown in Fig. 22. When the number of pixels is converted by the interpolation filter 202, however, the black circles become the interpolated pixels, so expression is limited to the maximum region of the image signal before conversion of the number of pixels. This is only $3/8$ of the region after conversion of the number of pixels, so edge crispness is lost.

[0005]

[Problems to be Solved by the Invention]

A problem with the above conventional means of converting the number of pixels has been that edge crispness is lost.

[0006]

An object of this invention is to improve edge crispness after conversion of the number of pixels of an image signal.

[0007]

[Means of Solution of the Problems]

To solve the above problem, the digital signal processing circuit of this invention is characterized by having means for interpolating pixels in an input image signal to convert the number of pixels, means for generating a control signal from a high-frequency signal of said input image signal, and control means for controlling the phase of the interpolated pixels according to said control signal.

[0008]

With this type of configuration, a control signal is generated from a high-frequency component of the input signal, and when pixels are interpolated by an interpolation

filter, edge crispness is improved by controlling the phase of the interpolated pixels according to this control signal.

[0009]

[Mode of Practicing the Invention]

A mode of practicing this invention will be described in detail below with reference to the drawings. Fig. 1 is a block diagram for explaining one mode of practicing this invention. In Fig. 1, an image signal input from an input terminal 101 is input to an interpolation filter 102 and a control signal generating circuit 103. The control signal generating circuit 103 generates a control signal, which is input to a phase control circuit 104. The phase control circuit 104 performs control of the interpolation phase of the interpolation filter 102 according to the control signal. The interpolation filter 102 performs a conversion of the number of pixels in the input image signal, and outputs the converted image signal from an output terminal 105.

[0010]

The relation between the control signal and the interpolation phase will now be explained using Fig. 2. When the sign of the control signal is positive, the interpolation phase lags the normal phase by a corrective amount that is determined by the level of the control signal. When the sign of the control signal is negative, the interpolation phase leads the normal phase by a corrective amount that is determined by the level of the control signal.

[0011]

Controlling the interpolation phase of the interpolation filter 102 with this type of control signal yields, after interpolation, a signal as shown by the dotted line in Fig. 2, improving the edge crispness.

[0012]

[Embodiments]

Fig. 3 is a block diagram for explaining a first

embodiment of the control signal generating circuit in the mode of practicing the invention shown in Fig. 1. In the drawing, the signal input from the input terminal 301 is input to a first-derivative differentiator 302 and a second-derivative differentiator 303. The outputs of the first- and second-derivative differentiators 302, 303 are input to respective first and second interpolation filters 304, 305, which convert the number of pixels to the same number of pixels as interpolation filter 102.

[0013]

The output of the second interpolation filter 305 is input to a sign detector 306. The output of the sign detector 306 is input to a sign inverter 307. The sign inverter 307 inverts the sign of the output of the first interpolation filter 304 when the output of the sign detector 306 indicates negative, and outputs the unaltered output of the first interpolation filter 304 when positive is indicated.

[0014]

A waveform diagram of the control signal generating circuit 103 is shown in Fig. 4. A first-derivative signal and a second-derivative signal are extracted from the input signal; the first-derivative signal, with the converted number of pixels, is output without alteration as the control signal where the sign of the second-derivative signal, with the converted number of pixels, is positive; an inverted version of the first-derivative signal, with the converted number of pixels, is output as the control signal where the sign is negative. The control signal accordingly has the illustrated waveform; the interpolation phase of the interpolation filter 102 is controlled on the basis of this control signal.

[0015]

Fig. 5 is a block diagram for explaining a second

embodiment of the control signal generating circuit in Fig. 1. In this embodiment, elements with the same functions as in Fig. 3 will be described with the same reference characters. In Fig. 3, because the first-derivative signal, with the converted number of pixels, is used without alteration as the control signal, when the level of the input image signal is small, the level of the control signal becomes small. Since, as stated above, the phase is altered by a corrective amount that is determined by the level of the control signal, if the control signal is small, the improvement effect is small. The present embodiment seeks to enhance edges even when the level of the input image signal is low.

[0016]

Thus the output of the sign inverter 307 is input to a level detector 501. The level detector 501 detects the level of the sign-inversion output, and outputs a control signal responsive to the level. The level controller 502 controls the level of the sign-inversion output according to the level detection output.

[0017]

When the sign-inversion output is small because the level of the input image signal is small as shown in Fig. 6, this level control raises the level of the sign-inversion output as indicated by the dotted lines in the drawing, so that an edge enhancement effect is obtained. Edge enhancement can be performed even when the level of the input image signal is small by using the output of the level controller 502 as the control signal.

[0018]

Fig. 7 is a block diagram for explaining a third embodiment of the control signal generating circuit in Fig. 1. This embodiment also enhances edges when the level of the input image signal is low.

[0019]

Here is how: the output from the second interpolation filter 305 is input to a zero-crossing-point detector 701. The zero-crossing-point detector 701 detects points of sign change in the second-derivative signal with the converted number of pixels. When a sign change point is detected by the zero-crossing-point detector 701, a control data output unit 702 outputs control signal data as shown in Fig. 8 in an arbitrary range around that point. As these control data, it outputs control data with a level such that an edge enhancement effect is obtained at rising and falling edges in the input image signal, for example. A control data combiner 703 adds these output control data.

[0020]

Regarding the addition of these control data, when the control data are output at a pixel where a rise and fall of the input image signal are in a proximal relationship as shown in Fig. 9, the control data partly overlap. The control data in this overlapping part can be canceled out if they are added in the control data combiner 703. The part in which the control data overlap is a part in which the phase could be changed in either direction, and in which problems could occur if phase control were to be carried out.

[0021]

If the control signals are not canceled out, as shown in Fig. 10, then since phase control is performed as shown by the dotted lines in the drawings, the peak waveform becomes indented, and an image defect appears on the screen because the brightness level changes. The occurrence of this defect is therefore suppressed by adding the control data so that they cancel out, as if phase control had not been performed. Edge enhancement can be performed even when the level of the input image signal is small by using the output of the control data combiner 703 as the control signal.

[0022]

If phase control is performed in the vicinity of a zero-crossing point of the second-derivative signal with the converted number of pixels, as shown in Fig. 11, the phase-controlled pixels around the zero-crossing point may be displaced, causing striking jaggedness in diagonal lines and the like. This embodiment can prevent displacement of the zero-crossing point by the output values of the control data. To prevent pixels from being displaced around the zero-crossing point, it suffices to perform phase control as in Fig. 12. The phase control width is proportional to the absolute value of the pixels around the zero-crossing point. It therefore suffices to output control data with the same absolute value ratio as the pixels around the zero-crossing point.

[0023]

The block diagram in Fig. 13 is a block diagram for explaining a fourth embodiment of the control signal generating circuit, providing means for preventing displacement of zero-crossing points in the embodiment in Fig. 7. Here, the input image signal is input to a third interpolation filter 1301, which converts the number of pixels to the same number of pixels as the interpolation filter 102 in Fig. 1. The output of interpolation filter 1301 is input to a pixel level ratio detector 1302. When a signal indicating the detection of a zero-crossing point is input from the interpolation filter 1301 to the pixel level ratio detector 1302, the pixel level ratio detector 1302 outputs the level ratio of the pixels therearound. The pixel level ratio output is input to the control data output unit 702, which outputs control data around the zero-crossing point with a ratio equal to the ratio of the pixel levels. Displacement of the zero-crossing point can thereby be prevented.

[0024]

In this embodiment, however, a means for converting the number of pixels of the input image signal becomes necessary, and the circuit size increases. Similar control can therefore also be carried out by using the already-available second-derivative signal with the converted number of pixels. The level ratio of the input signal around a zero-crossing point is substantially the same as the level ratio of the second-derivative signal with the converted number of pixels. The second-derivative output with the converted number of pixels can accordingly be used as the pixel level ratio instead of the output from conversion of the number of pixels of the input image signal.

[0025]

This is shown in the block diagram in Fig. 14 as a fifth embodiment of the control signal generating circuit. The difference between this embodiment and Fig. 13 is that the second-derivative output, with the converted number of pixels, is input from interpolation filter 305 to the pixel level ratio detector 1302; the control data are thereby output from the control data output unit 702.

[0026]

Fig. 15 is a block diagram for explaining a sixth embodiment of the control signal generating circuit. The second-derivative differentiator 303 used in the control signal generating circuit 103 is a means for detecting high-frequency components. High-frequency components with small levels may, however, be noise; if the second-derivative differentiator 303 detects these noise components and generates a control signal, mistaken phase control will be performed and image defects will appear. In addition, in the vicinity of a zero-crossing point of the second-derivative signal with the converted number of pixels, the phases of pixels around the zero-crossing point may be displaced by

phase control, as noted previously. Preventing these occurrences is the purpose of this embodiment.

[0027]

The output of the second interpolation filter 305 is input to a level determiner 1501, which determines its level. The level determiner 1501 decides whether the output of the second interpolation filter is or is not equal to or less than a certain level. The decision signal from the level determiner 1501 is input to a level controller 1502. If the output of the second interpolation filter is determined to be equal to or less than the certain level, since there is the possibility of noise or of being near a zero-crossing point, the output of the sign inverter 607 is zeroed or otherwise controlled to a low level. The output of the level controller 1502 is used as the control signal. A waveform of the control signal is shown in Fig. 16.

[0028]

Phase displacement around zero-crossing points and incorrect phase control due to noise can thereby be prevented.

[0029]

In this embodiment, a similar effect can be obtained by performing a level decision after output from the second interpolation filter 305 in the embodiments described previously and performing level control on the final output.

[0030]

Fig. 17 is a block diagram for explaining a seventh embodiment of the control signal generating circuit. This embodiment is for the purpose of preventing jaggedness of diagonal lines; it therefore differs from the embodiment in Fig. 3 in being structured to take the output of the sign inverter 307 through a vertical LPF 1701 that passes only the lower region of the vertical signal of the image signal as the control signal. Elements with the same functions as

in the embodiment in Fig. 3 have the same reference characters, and descriptions thereof will be omitted.

[0031]

In a diagonal line, the signal level changes at every line, as shown in Fig. 18, and line-dependent displacement of the control signal can easily occur. If line-to-line displacement of the control signal occurs, the brightness difference after phase control increases as in Fig. 19, and jaggedness occurs. To prevent this, the control signal is passed through a vertical LPF, to reduce displacement of the control signal with the lines above and below.

[0032]

The output from the sign inverter 307 is input to the vertical LPF 1701, and line-to-line displacement of the sign-inversion output is reduced by extracting the vertical low-frequency component. Jaggedness of diagonal lines can be suppressed by using this as the control signal.

[0033]

This embodiment can also produce a similar effect by placing a vertical LPF on the final output of the embodiments described previously.

[0034]

[Effect of the Invention]

As described above, the digital signal processing circuit of this invention can control the phase of interpolated pixels by a control signal generated from a high-frequency signal of the input image signal, so it can improve the crispness of edges in the signal after conversion of the number of pixels.

[Brief Description of the Drawings]

[Fig. 1] A block diagram for explaining one mode of practicing this invention.

[Fig. 2] An explanatory diagram for explaining the operation of Fig. 1.

[Fig. 3] A block diagram for explaining a first embodiment of the control signal generating circuit in Fig. 1.

[Fig. 4] An explanatory diagram for explaining the operation of Fig. 3.

[Fig. 5] A block diagram for explaining a second embodiment of the control signal generating circuit in Fig. 1.

[Fig. 6] An explanatory diagram for explaining the operation of Fig. 5.

[Fig. 7] A block diagram for explaining a third embodiment of the control signal generating circuit in Fig. 1.

[Fig. 8] An explanatory diagram for explaining the operation of Fig. 7.

[Fig. 9] An explanatory diagram for explaining the operation of Fig. 7.

[Fig. 10] An explanatory diagram for explaining the operation of Fig. 7.

[Fig. 11] An explanatory diagram for explaining the operation of Fig. 7.

[Fig. 12] An explanatory diagram for explaining the operation of Fig. 7.

[Fig. 13] A block diagram for explaining a fourth embodiment of the control signal generating circuit in Fig. 1.

[Fig. 14] A block diagram for explaining a fifth embodiment of the control signal generating circuit in Fig. 1.

[Fig. 15] A block diagram for explaining a sixth embodiment of the control signal generating circuit in Fig. 1.

[Fig. 16] An explanatory diagram for explaining the operation of Fig. 15.

[Fig. 17] A block diagram for explaining a seventh embodiment of the control signal generating circuit in Fig. 1.

[Fig. 18] An explanatory diagram for explaining Fig. 17.

[Fig. 19] An explanatory diagram for explaining Fig. 17.

[Fig. 20] A block diagram for explaining conventional conversion of the number of pixels in an image signal.

[Fig. 21] An explanatory diagram for explaining the conversion of the number of pixels in Fig. 21.

[Fig. 22] An explanatory diagram for explaining a problem in the conversion of the number of pixels in Fig. 21.

[Explanation of Reference Characters]

102--interpolation filter, 103--control signal generating circuit, 104--phase control circuit, 302--first-derivative differentiator, 303--second-derivative differentiator, 304--first interpolation filter, 305--second interpolation filter, 306--sign detector, 307--sign inverter, 501--level detector, 502--level controller, 701--zero-crossing-point detector, 702--control data output unit, 703--control data combiner, 1301--interpolation filter, 1302--pixel level ratio detector, 1501--level determiner, 1502--level controller

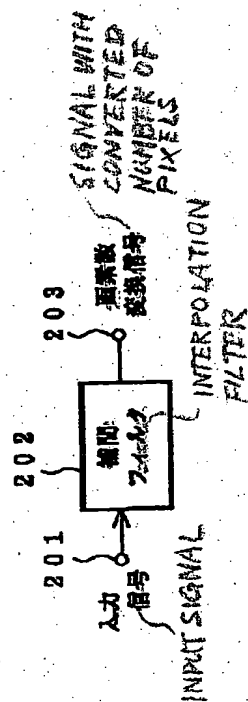
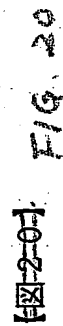
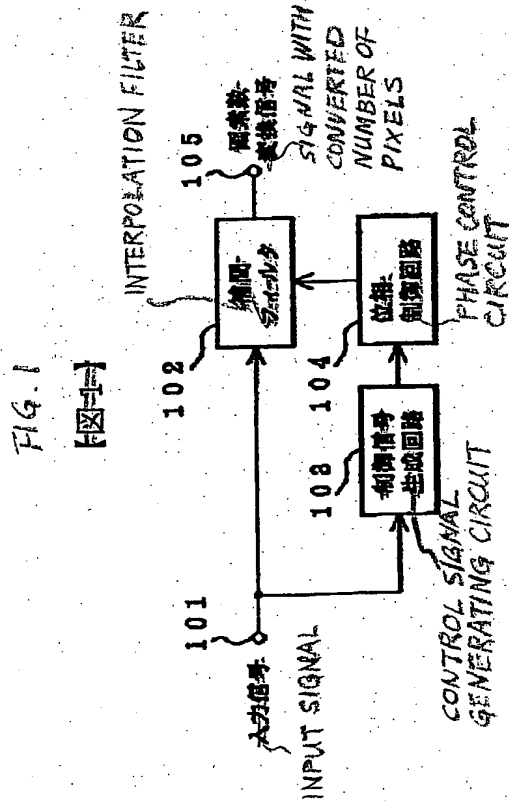
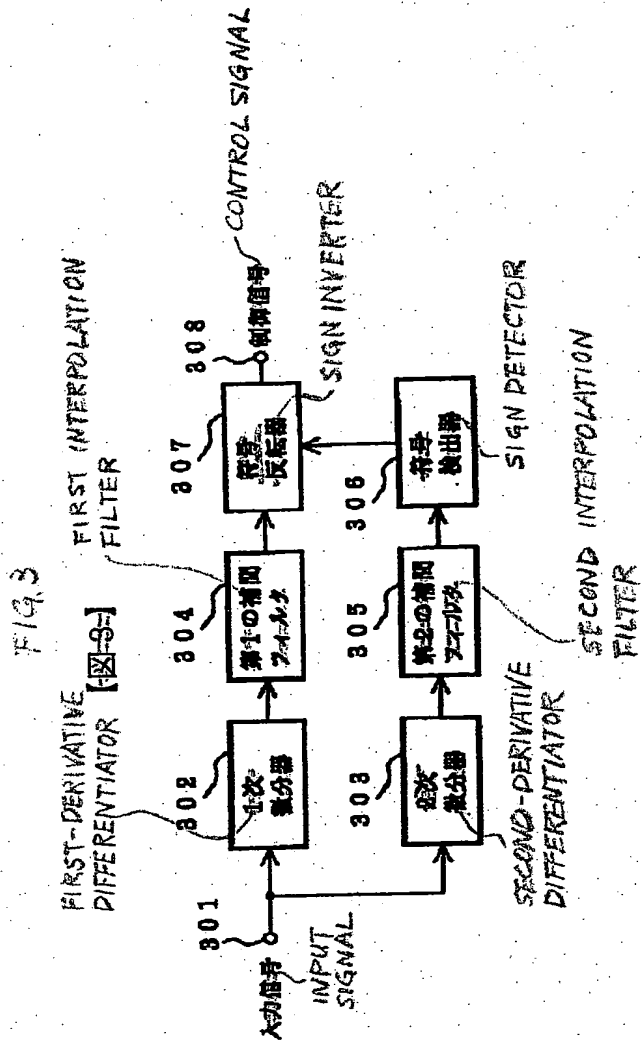
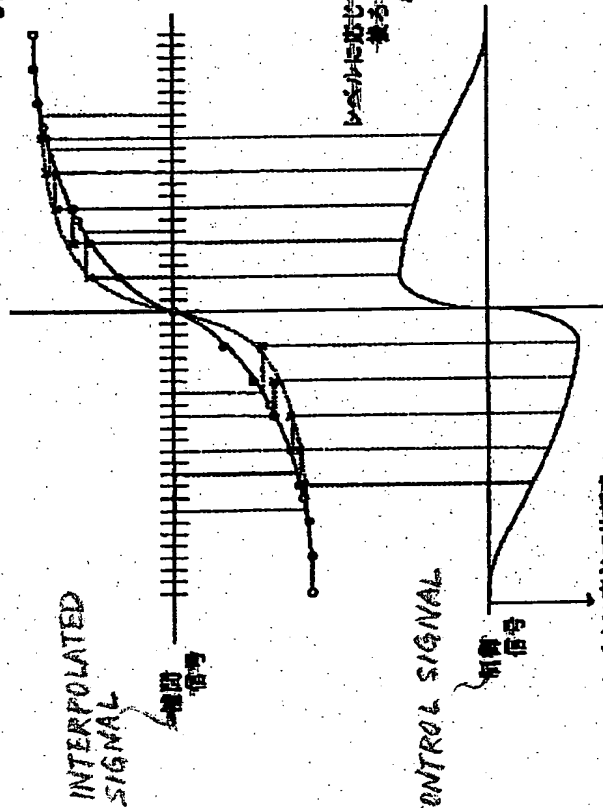


FIG. 2

【図2】

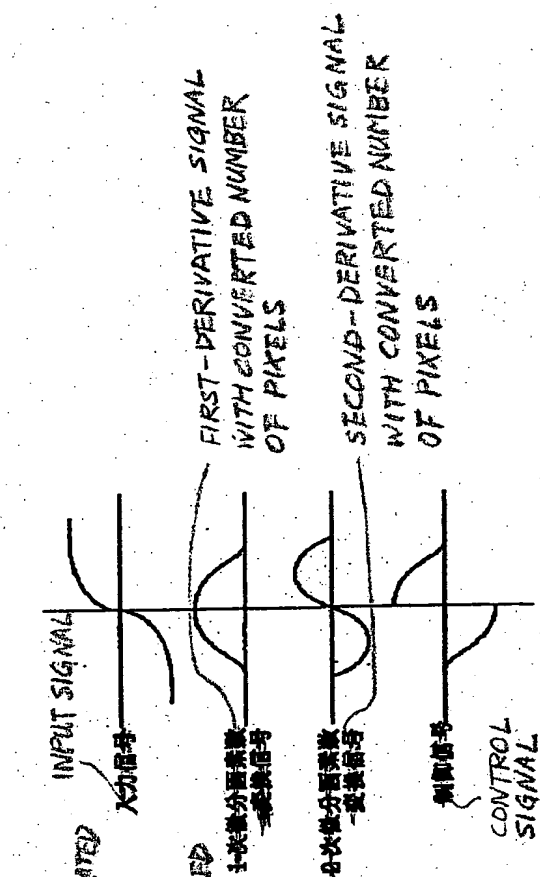
ORIGINAL PIXEL
● 補間画素
x 位相制御画素



位相に於いて位相を速るに等しい
ADVANCE PHASE RESPONSIVE TO LEVEL

FIG. 4

【図4】



DELAY PHASE RESPONSIVE TO LEVEL

FIG. 6

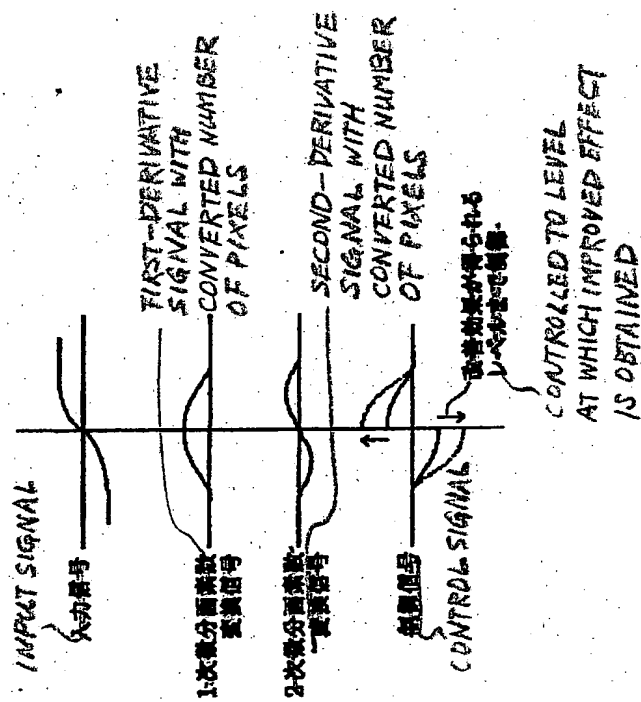


FIG. 16

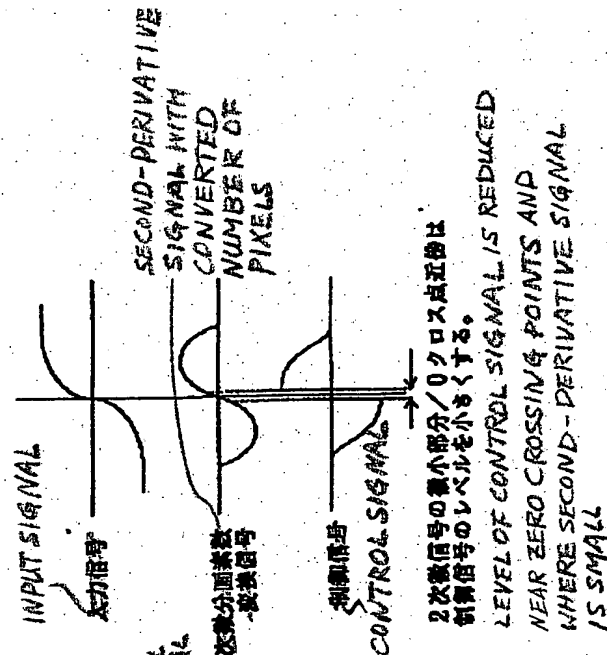


FIG. 5

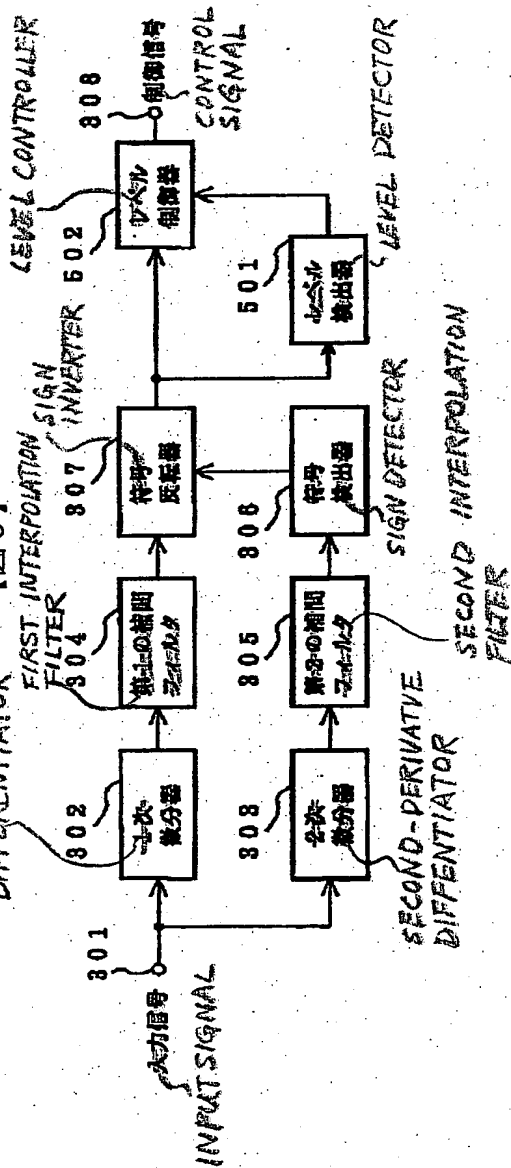
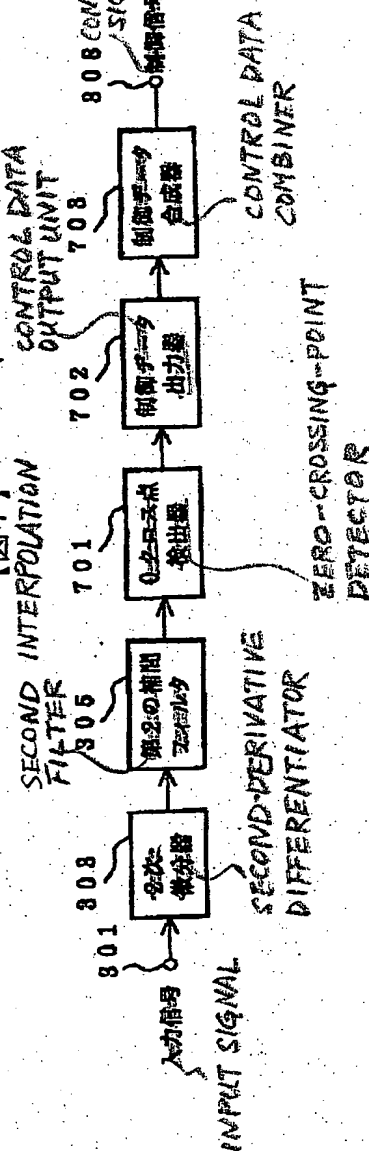


FIG. 7



2次微分信号の最小部分/0クロス点近傍は
計算信号のレベルを小さくする。
LEVEL OF CONTROL SIGNAL IS REDUCED
NEAR ZERO CROSSING POINTS AND
WHERE SECOND-DERIVATIVE SIGNAL
IS SMALL

FIG. 8
[図8]

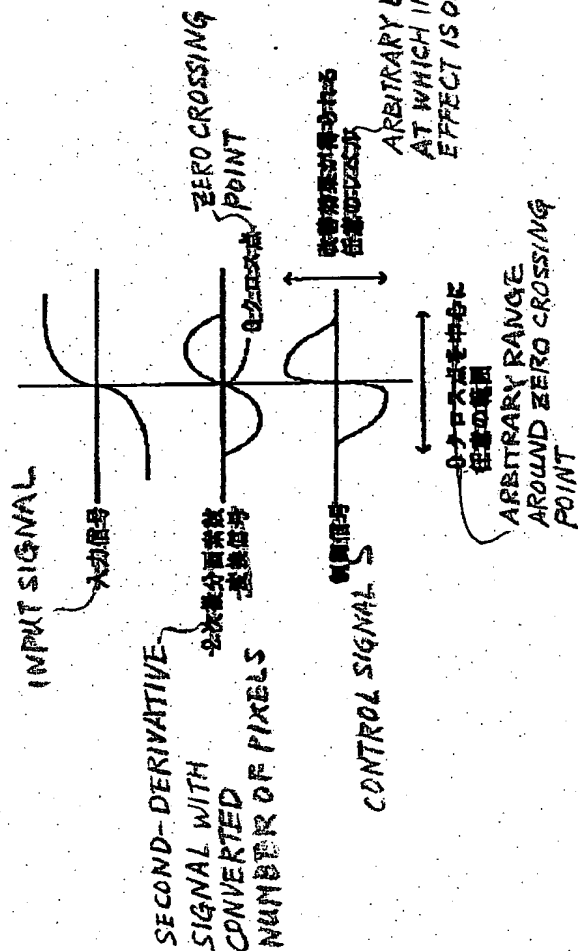


FIG. 9
[図9]

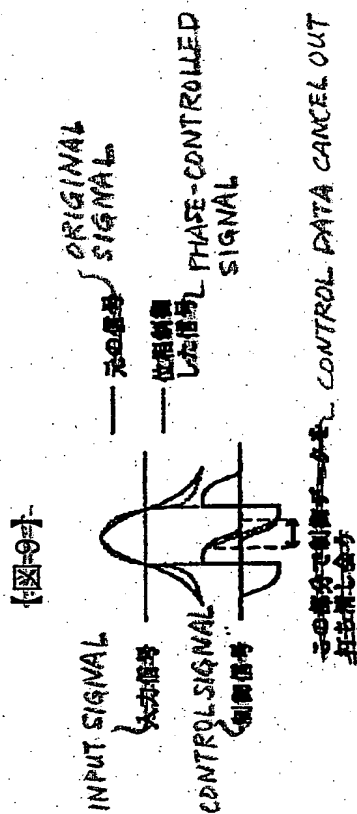


FIG. 11
[図11]

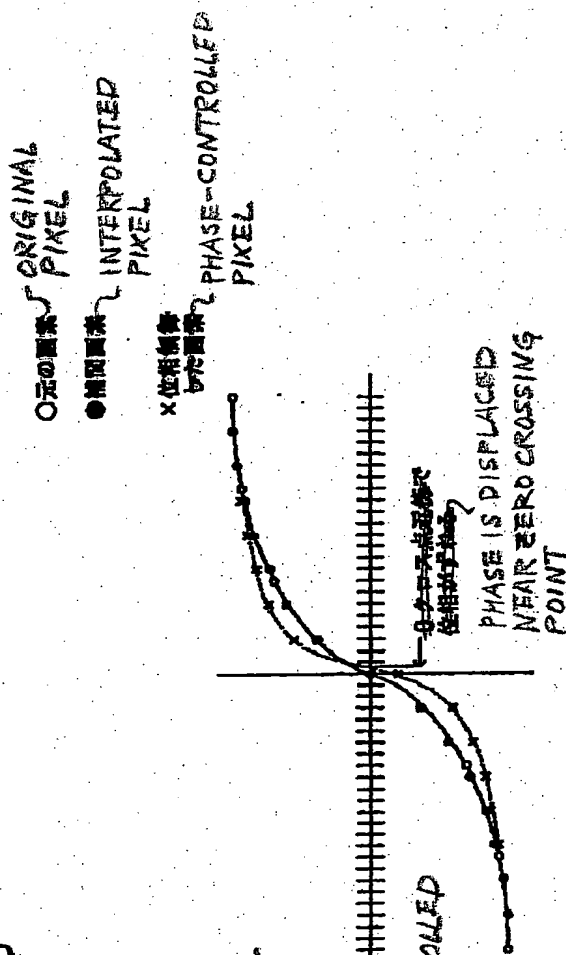
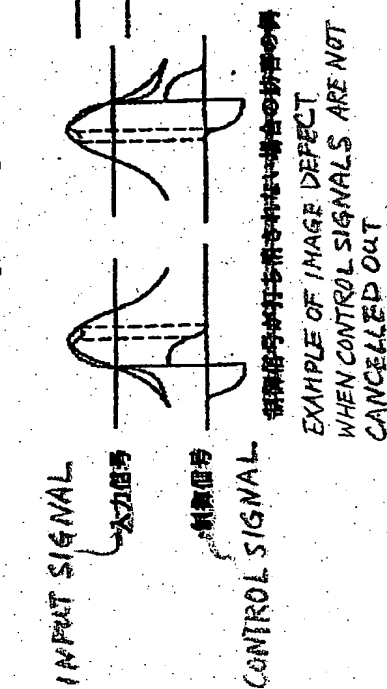


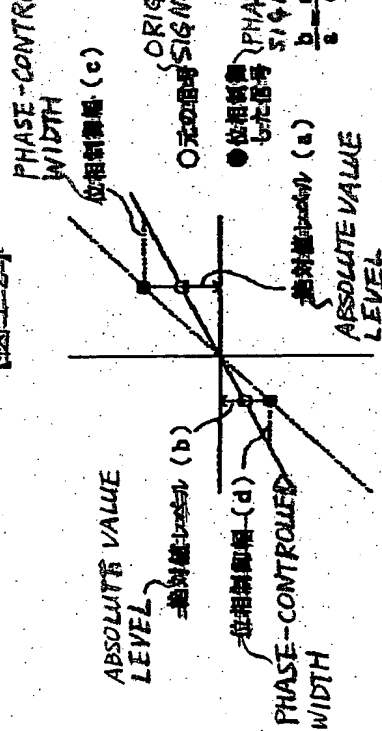
FIG. 10
[図10]



EXAMPLE OF IMAGE DEFECT WHEN CONTROL SIGNALS ARE NOT CANCELLED OUT

FIG. 12

[図12-2]



0.5マイクロ秒前後の図案の絶対値レベルはほぼ一定であり、位相制御幅の比率は等しい。
 ABSOLUTE VALUE RATIO OF PIXELS
 AROUND ZERO CROSSING POINT AND
 PHASE CONTROL WIDTH RATIO ARE EQUAL.

FIG. 17

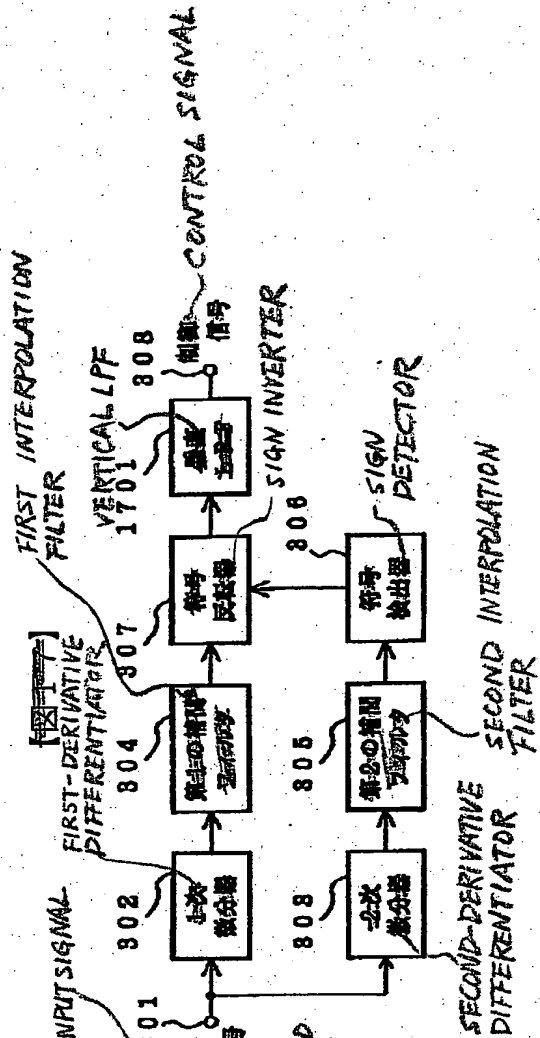


FIG. 13

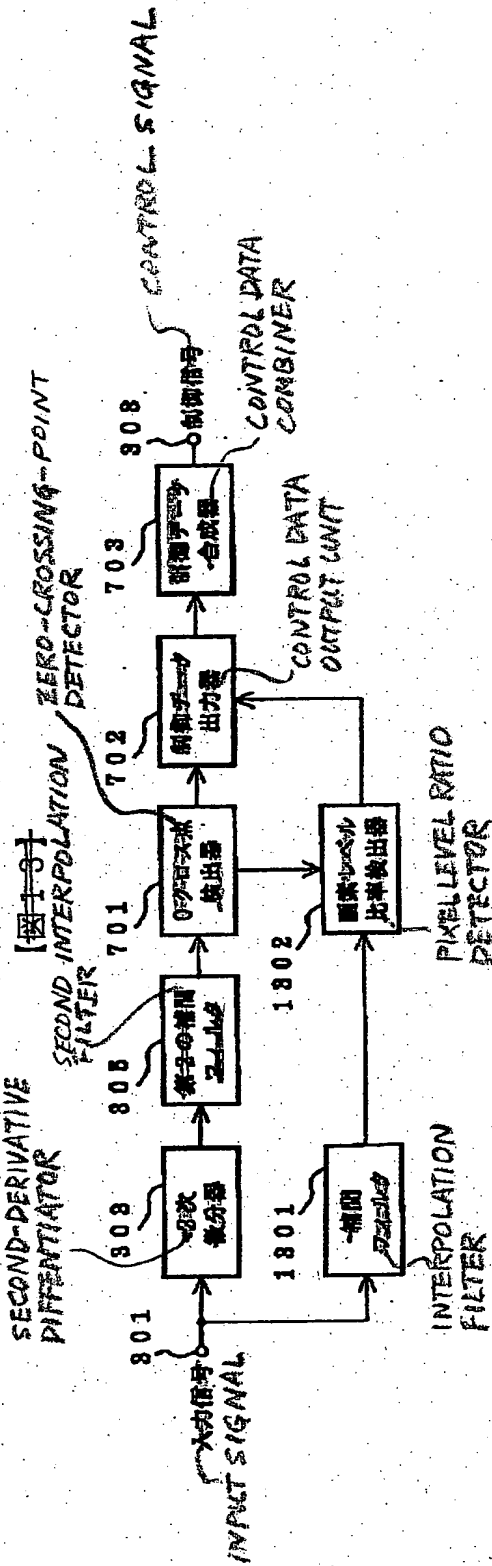


FIG. 18

図18

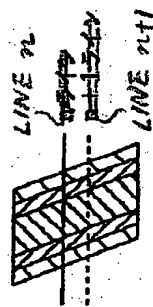
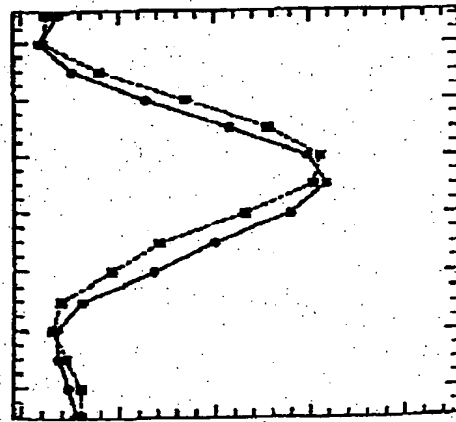
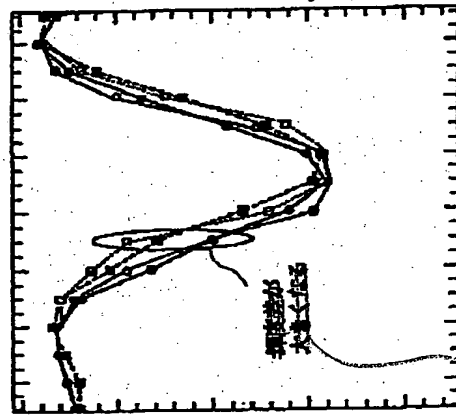


FIG. 19

図19



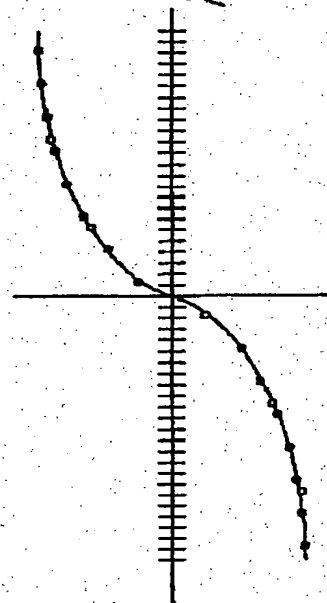
異相が
しる
APPEARS
JAGGED

- LINE 9
- 位置制御後の PHASE-CONTROLLED LINE 9
- LINE 10
- 位置制御後の PHASE-CONTROLLED LINE 10

INCREASED BRIGHTNESS
DIFFERENCE

FIG. 21

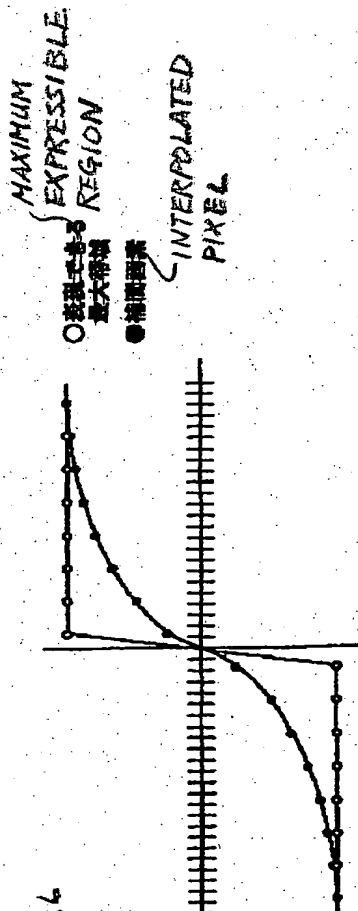
【図21】



ORIGINAL
PIXEL
● 補間画像
INTERPOLATED
PIXEL

FIG. 22

【図22】



MAXIMUM
EXPRESSIBLE
REGION
○ 最大領域
● 補間画像
INTERPOLATED
PIXEL

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-101870

(P2000-101870A)

(43) 公開日 平成12年4月7日 (2000.4.7)

(51) Int.Cl.⁷

H 0 4 N 5/208

識別記号

F I

H 0 4 N 5/208

テマコード* (参考)

5 C 0 2 1

審査請求 未請求 請求項の数 9 O L (全 9 頁)

(21) 出願番号 特願平10-268571

(22) 出願日 平成10年9月22日 (1998.9.22)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 松上 寿樹

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

(72) 発明者 小川 佳彦

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝マルチメディア技術研究所内

(74) 代理人 100077849

弁理士 須山 佐一

Fターム(参考) 5C021 PA06 PA17 PA18 PA33 PA53

PA58 PA62 PA75 RA02 RB04

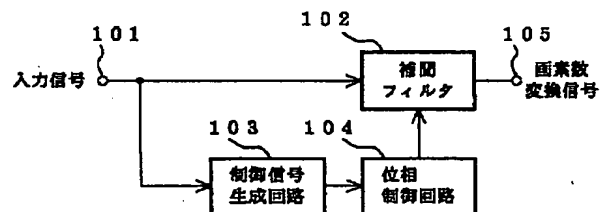
XB03 XB04 XB07

(54) 【発明の名称】 デジタル信号処理回路

(57) 【要約】

【課題】 映像信号の画素数を変換後のエッジ部の鮮鋭感を改善する。

【解決手段】 入力端子101から入力映像信号は、補間フィルタ102、制御信号生成回路103にそれぞれ入力する。制御信号生成回路103では制御信号を生成し、これを位相制御回路104に入力する。位相制御回路104では、制御信号に基づいて補間フィルタ102の補間位相の制御を行う。補間フィルタ102では入力された映像信号の画素数の変換を行い、出力端子105より変換された映像信号を導出する。このように入力映像信号の高域成分から制御信号を生成し、補間フィルタで画素を補間する際に、この制御信号により補間画素の位相を制御することで、エッジ部の鮮鋭感が改善できる。



【特許請求の範囲】

【請求項 1】 入力映像信号に画素を補間し画素数を変換する手段と、

前記入力映像信号の高域信号から制御信号を生成する手段と、

前記制御信号により補間画素の位相を制御する制御手段とを具備することを特徴とするデジタル信号処理回路。

【請求項 2】 制御信号生成手段は、

前記入力映像信号の 1 次微分信号を抽出する手段と、

2 次微分信号を抽出する手段と、

前記 1 次微分信号の画素数を変換する第 1 の変換手段と、

前記 2 次微分信号の画素数を変換する第 2 の変換手段と、

前記第 1 の変換手段出力の符号を、前記第 2 の変換手段出力の符号により反転する手段とから構成してなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【請求項 3】 制御信号生成手段は、

前記入力映像信号の 1 次微分信号を抽出する手段と、

2 次微分信号を抽出する手段と、

前記 1 次微分信号の画素数を変換する第 1 の変換手段と、

前記 2 次微分信号の画素数を変換する第 2 の変換手段と、

前記第 1 の変換手段出力の符号を、前記第 2 の変換手段出力の符号により反転する手段と、

前記反転手段の出力レベルを検出するレベル検出手段と、

前記レベル検出手段の出力に応じて反転手段出力のレベルを制御するレベル制御手段とから構成してなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【請求項 4】 制御信号生成手段は、

前記入力映像信号の 2 次微分信号を抽出する手段と、

2 次微分信号の画素数を変換する手段と、

前記変換手段出力の符号の切り替わりを検出する手段と、

前記符号の切り替わり前後の任意の範囲で、任意の特性のデータを出力する手段と、

前記データ出力を合成する合成手段とから構成してなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【請求項 5】 制御信号生成手段は、

前記入力映像信号の 2 次微分信号を抽出する手段と、

2 次微分信号の画素数を変換する第 1 の変換手段と、

前記第 1 の変換手段出力の符号の切り替わりを検出する手段と、

前記入力映像信号の画素数を変換する第 2 の変換手段と、

前記符号の切り替わり前後で、前記第 2 の変換手段出力のレベルの比率を検出する手段と、

前記符号の切り替わり前後の任意の範囲で、比率検出力と等しい比率のデータを出力する手段と、

前記データ出力を合成する合成手段とから構成してなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【請求項 6】 制御信号生成手段は、

前記入力映像信号の 2 次微分信号を抽出する手段と、

2 次微分信号の画素数を変換する変換手段と、

前記変換手段出力の符号の切り替わりを検出する手段と、

前記符号の切り替わり前後で、前記変換手段出力のレベルの比率を検出する手段と、

前記符号の切り替わり前後の任意の範囲で、比率検出力と等しい比率のデータを出力する手段と、

前記データ出力を合成する合成手段とから構成してなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【請求項 7】 制御信号生成手段は、前記 2 次微分信号

出力が小さい場合は前記制御信号のレベルを小さくすることを特徴とする請求項 2～5 のいずれかに記載のデジタル信号処理回路。

【請求項 8】 制御信号生成手段は、前記制御信号の垂

直低域成分を抽出する手段を具備し、前記垂直低域出力を制御信号とすることを特徴とする請求項 2～5 のいずれかに記載のデジタル信号処理回路。

【請求項 9】 制御手段は、前記制御信号が正の値の場合

は前記制御信号の大きさに応じて補間画素の位相を後ろにずらし、前記制御信号が負の値の場合は前記制御信号の大きさに応じて補間画素の位相を前にシフトしてなることを特徴とする請求項 1 に記載のデジタル信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、映像信号の画素数を変換するデジタル信号処理回路に関する。

【0002】

【従来の技術】映像信号の画素数を変換する手段としては、一般的に補間フィルタによる補間を行っており、図 20 にこの変換例を示す。入力端子 201 から入力された映像信号は、補間フィルタ 202 に入力する。補間フィルタ 202 では変換する画素数に応じた位相に画素の補間を行い、出力端子 203 より画素数に変換された映像信号を得る。

【0003】図 21 に補間位相の例を示す。図 21 は 8/3 倍に画素数を変換する例である。図中の○は元の画素、●は補間画素である。補間フィルタ 202 の出力が画素数変換された映像信号となり、図中の実線の波形となる。

【0004】図 21 に示すように画素数が 8/3 倍に増えるということは、表現できる帯域が図 22 に示すよう

に 8/3 倍に上がることになる。しかし、補間フィルタ 202 による画素数変換では●が補間画素となり、画素数変換前の映像信号の最大帯域までしか表現できない。これは画素数変換後の帯域の 3/8 倍でしかなく、エッジ部の鮮鋭感がなくなる。

【0005】

【発明が解決しようとする課題】上記した従来の映像信号の画素数を変換する手段では、エッジ部の鮮鋭感がない、という問題があった。

【0006】この発明は、映像信号の画素数を変換後のエッジ部の鮮鋭感を改善することを目的とする。

【0007】

【課題を解決するための手段】上記した課題を解決するために、この発明のデジタル信号処理回路では、入力映像信号に画素を補間し画素数を変換する手段と、前記入力映像信号の高域信号から制御信号を生成する手段と、前記制御信号により補間画素の位相を制御する制御手段とを具備することを特徴とする。

【0008】このような構成により、入力映像信号の高域成分から制御信号を生成し、補間フィルタで画素を補間する際に、この制御信号により補間画素の位相を制御することで、エッジ部の鮮鋭感を改善する。

【0009】

【発明の実施の形態】以下、この発明の実施の形態について、図面を参照しながら詳細に説明する。図 1 は、この発明の一実施の形態について説明するための回路構成図である。図 1 において、入力端子 101 から入力された映像信号は、補間フィルタ 102 と制御信号生成回路 103 にそれぞれ入力する。制御信号生成回路 103 では制御信号を生成し、これを位相制御回路 104 に入力する。位相制御回路 104 では、制御信号に基づいて補間フィルタ 102 の補間位相の制御を行う。補間フィルタ 102 では入力された映像信号の画素数の変換を行い、変換された映像信号を出力端子 105 より導出する。

【0010】ここで、図 2 を用いて制御信号と補間位相制御の関係について説明する。制御信号の符号が正の場合、補間位相は本来の位相よりも後になり、どのくらい後ろになるかの補正量は制御信号のレベルにより決まる。制御信号の符号が負の場合、補間位相は本来の位相よりも前になり、どのくらい前になるかの補正量は制御信号のレベルにより決まる。

【0011】このような制御信号により、補間フィルタ 102 の補間位相を制御することで、補間された後の信号は、図 2 の点線に示すようになり、エッジの鮮鋭感を改善できる。

【0012】

【実施例】図 3 は、図 1 に示すこの発明の実施の形態における制御信号生成回路 103 の第 1 の実施例について説明するためのブロック図である。図において、入力端

子 301 から入力された信号は、1 次微分器 302、2 次微分器 303 にそれぞれ入力する。1 次および 2 次微分器 302、303 の出力は、第 1 および第 2 の補間フィルタ 304、305 にそれぞれ入力し、補間フィルタ 102 と同じ画素数になるように画素数の変換を行う。

【0013】第 2 の補間フィルタ 305 の出力は、符号検出器 306 に入力する。符号検出器 306 の出力は、符号反転器 307 に入力する。この符号反転器 307 では符号検出器 306 の出力が負を検出した場合に、第 1 の補間フィルタ 304 の出力の符号を反転し、正を検出した場合に、第 1 の補間フィルタ 304 の出力をそのまま出力する。

【0014】図 4 に、制御信号生成回路 103 の波形図を示す。入力映像信号に対して 1 次微分信号、2 次微分信号を抽出し、2 次微分の画素数変換信号が正の部分では 1 次微分の画素数変換信号をそのまま制御信号として出力し、負の部分では 1 次微分の画素数変換信号を反転したものを制御信号として出力する。これにより制御信号は図示したようになり、この制御信号に基づいて補間フィルタ 102 の補間位相を制御する。

【0015】図 5 は、図 1 の制御信号生成回路の第 2 の実施例について説明するためのブロック図である。この実施例で図 3 と同一機能の部分には同一の符号を付して説明する。図 3 では、1 次微分信号を画素数変換した信号をそのまま制御信号として使用するため、入力映像信号のレベルが小さい場合は制御信号が小さくなる。前述したように、位相の補正量は制御信号のレベルによって決まるため、制御信号が小さいと改善効果も小さい。そこで、この実施例は入力映像信号のレベルが低い場合にも、エッジ部の改善を図るためのものである。

【0016】すなわち、符号反転器 307 からの出力はレベル検出器 501 に入力する。レベル検出器 501 では符号反転出力のレベルを検出し、レベルに応じた制御信号を出力する。レベル制御器 502 ではレベル検出出力に応じて符号反転出力のレベルを制御する。

【0017】このレベル制御は、図 6 に示すように入力映像信号のレベルが小さいため符号反転出力が小さい場合に、図中の点線のようにエッジの改善効果が得られるレベルまで符号反転出力のレベルを上げる。このレベル制御器 502 の出力を制御信号とすることで、入力映像信号のレベルが小さい場合にもエッジ部の改善を行うことができる。

【0018】図 7 は、図 1 の制御信号生成回路の第 3 の実施例について説明するためのブロック図である。この実施例も入力映像信号のレベルが低い場合にエッジ部の改善を行う。

【0019】すなわち、第 2 の補間フィルタ 305 からの出力は、0 クロス点検出器 701 に入力する。0 クロス点検出器 701 では、2 次微分の画素数変換信号の符号が切り替わるポイントを検出する。制御データ出力器

702では、0クロス点検出器701で符号が切り替わるポイントが検出された場合、図8に示すように、そのポイントを中心に任意の範囲で制御信号用のデータを出力する。この制御データは入力映像信号のレベルに関係なく、たとえば入力映像信号の立上がり、立ち下りのエッジの改善効果が得られるレベルの制御データを出力する。制御データ合成器703では出力されたこれらの制御データを加算する。

【0020】この制御データの加算については、図9に示すように、近接関係の入力映像信号の立上がりとし
10 ち下りの画素で制御データが出力された場合、制御データが重なる部分が出てくる。この重なる部分の制御データを制御データ合成器703で加算すれば打ち消すことができる。制御データが重なる部分は、どちらの方向にも位相が変わりうる部分であり、この部分は位相制御を行うことにより妨害が発生する可能性がある。

【0021】また、図10のように制御信号が打ち消されない場合、図中の点線のように位相制御されるため、頂点部分がくぼんだ波形となり、画面上で輝度レベルが
20 変化し妨害となって現れる。このため制御データを加算し、打ち消し合うことにより、位相制御を行わないようにし、妨害の発生を抑える。この制御データ合成器703の出力を制御信号とすることで、入力映像信号のレベルが小さい場合にもエッジ部の改善を行うことができる。

【0022】また、図11に示すように、2次微分の画素数変換信号の0クロス点近傍は、位相制御を行うと0
クロス点の前後で位相制御した画素がずれる場合があり、斜め線等でぎざつきが目立つことがある。この実施例では制御データの出力値により0クロス点のずれを防ぐ
30 ことができる。0クロス点前後の画素がずれないためには、図12のように位相制御させればよい。この位相制御幅は0クロス点前後の画素の絶対値に比例している。従って、制御データ出力は、0クロス点前後の画素の絶対値の比率と、同じ比率になるように出力すればよい。

【0023】図13のブロック図は、図7の実施例に0
クロス点のずれを防ぐ手段を施した制御信号生成回路の第4の実施例について説明するためのブロック図である。すなわち、入力映像信号は第3の補間フィルタ13
40 01に入力し、図1の補間フィルタ102と同じ画素数になるように画素数の変換を行う。補間フィルタ1301の出力は、画素レベル比率検出器1302に入力する。画素レベル比率検出器1302では、0クロス点検出器701から0クロス点の検出信号が入力されたときに、その前後の画素のレベルの比率を出力する。画素レベルの比率出力は制御データ出力器702に
50 入力し、制御データ出力手段では画素レベルの比率に等しい比率で、0クロス点前後の制御データを出力する。このようにして0クロス点のずれを防ぐことができる。

【0024】ただし、この実施例では入力映像信号を画素数変換する手段が必要となり、回路規模が大きくなる。このため、すでに存在している2次微分の画素数変換信号により同様の制御を行うこともできる。0クロス点前後の入力映像信号のレベル比率は、2次微分の画素数変換信号のレベル比率とほぼ同様である。従って、入力映像信号の画素数変換手段出力の代わりに、2次微分の画素数変換出力を画素レベルの比率として使用する。

【0025】これを制御信号生成回路の第5の実施例として図14のブロック図に示す。この実施例と図13との違いは補間フィルタ305からの2次微分の画素数変換出力を、画素レベル比率検出器1302に
入力し、これにより制御データ出力器702から制御データを出力するところである。

【0026】図15は制御信号生成回路の第6の実施例について説明するためのブロック図である。制御信号生成回路103で使用している2次微分器303は高域成分を検出する手段である。しかし高域成分でレベルの
小さいものはノイズである可能性があり、このノイズ成分を2次微分器で検出し、制御信号を生成してしまうと、
誤った位相制御を行い、妨害となって現れる。また前述のように、2次微分の画素数変換信号の0クロス点近傍は、位相制御により0クロス点前後の画素の位相がずれる場合がある。この実施例はこれらを防ぐためのものである。

【0027】第2の補間フィルタ305の出力をレベル判定器1501に
入力し、レベルの判定を行う。レベル判定器1501では、第2の補間フィルタの出力が、あるレベル以下であるかどうかを判定する。レベル判定器からの判定信号はレベル制御器1502に
入力する。第2の補間フィルタ出力があるレベル以下であると判定した場合は、ノイズ、または0クロス点近傍である可能性
があるため、符号反転器607の出力を0にする等、レベルを小さくするように制御する。このレベル制御器1502の出力を制御信号とする。図16に制御信号の波形図を示す。

【0028】こうすることにより、ノイズによる位相制御の誤りや0クロス点前後の位相ずれを防ぐことができる。

【0029】この実施例は、これまで説明した各実施例の第2の補間フィルタ305の出力後にレベル判定を行い、最終出力にレベル制御を行うことで同様の効果を奏する。

【0030】図17は制御信号生成回路の第7の実施例について説明するためのブロック図である。この実施例は斜め線のぎざつきを防ぐためのもので、そのため符号反転器307の出力に、映像信号の垂直信号の低域だけを通過させる垂直LPF1701を介して制御信号として取り出した構成部分が図3の実施例と異なる。なお、
50 図3の実施例と同一の機能部分には同一の符号を付し、

その説明は省略する。

【0031】斜め線は図18に示すように、ライン毎に信号レベルが変化しており、ラインによって制御信号のずれが発生しやすくなる。ライン間で制御信号のずれが生じると、図19のように位相制御後の輝度差が大きくなり、ぎざつきが発生する。これを防ぐために制御信号に垂直LPFをかけ、上下ラインとの制御信号のずれを小さくする。

【0032】符号反転器307からの出力は垂直LPF 1701に入力し、垂直低域成分を抽出することで符号反転出力のライン間のずれを小さくする。これを制御信号とすることで、斜め線でのぎざつきを抑えることができる。

【0033】この実施例は、これまで説明した各実施例の最終出力に垂直LPFをかけることでも同様の効果を奏する。

【0034】

【発明の効果】以上説明したように、この発明のデジタル信号処理回路では、入力映像信号の高域信号から生成された制御信号により補間画素の位相を制御することで、画素数変換された信号のエッジ部の鮮鋭感の向上を図ることができる。

【図面の簡単な説明】

【図1】この発明の一実施の形態について説明するためのブロック図。

【図2】図1の動作について説明するための説明図。

【図3】図1の制御信号生成回路の第1の実施例について説明するためのブロック図。

【図4】図3の動作について説明するための説明図。

【図5】図1の制御信号生成回路の第2の実施例について説明するためのブロック図。

【図6】図5の動作について説明するための説明図。

【図7】図1の制御信号生成回路の第3の実施例について説明するためのブロック図。

【図8】図7の動作について説明するための説明図。

【図9】図7の動作について説明するための説明図。

【図10】図7の動作について説明するための説明図。

【図11】図7の動作について説明するための説明図。

【図12】図7の動作について説明するための説明図。

【図13】図1の制御信号生成回路の第4の実施例について説明するためのブロック図。

【図14】図1の制御信号生成回路の第5の実施例について説明するためのブロック図。

【図15】図1の制御信号生成回路の第6の実施例について説明するためのブロック図。

【図16】図15の動作について説明するための説明図。

【図17】図1の制御信号生成回路の第7の実施例について説明するためのブロック図。

【図18】図17について説明するための説明図。

【図19】図17について説明するための説明図。

【図20】従来の映像信号の画素数変換について説明するためのブロック図。

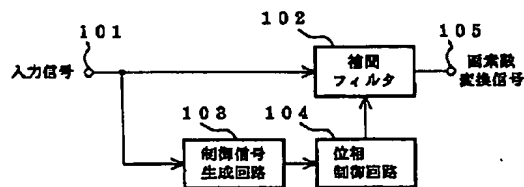
【図21】図20における画素数を変換例について説明するための説明図。

【図22】図20における画素数を変換の問題点について説明するための説明図。

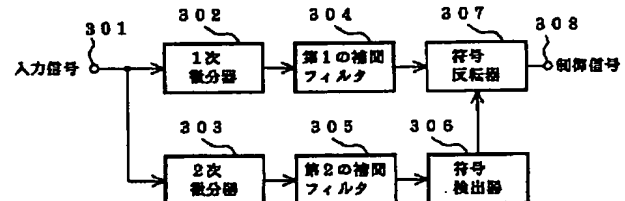
【符号の説明】

102…補間フィルタ、103…制御信号生成回路、104…位相制御回路、302…1次微分器、303…2次微分器、304…第1の補間フィルタ、305…第2の補間フィルタ、306…符号検出器、307…符号反転器、501…レベル検出器、502…レベル制御器、701…0クロス点検出器、702…制御データ出力器、703…制御データ合成器、1301…補間フィルタ、1302…画素レベル比率検出器、1501…レベル判定器、1502…レベル制御器。

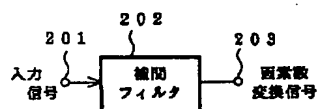
【図1】



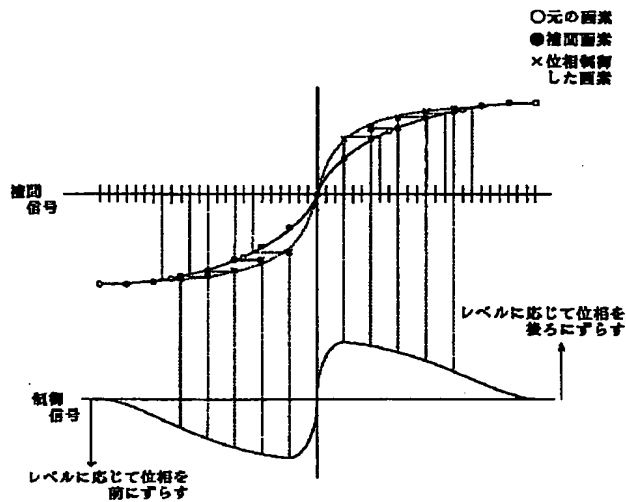
【図3】



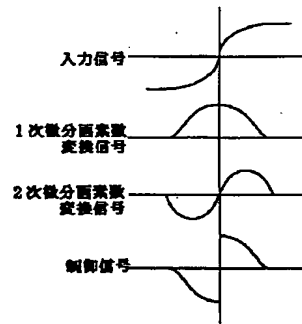
【図20】



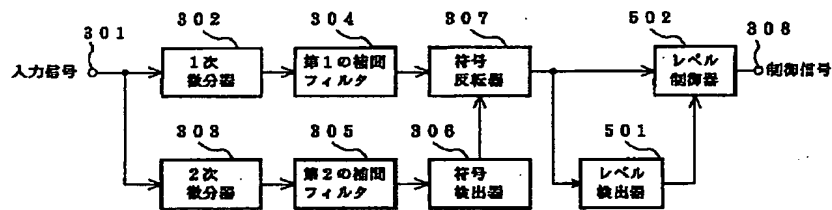
【図2】



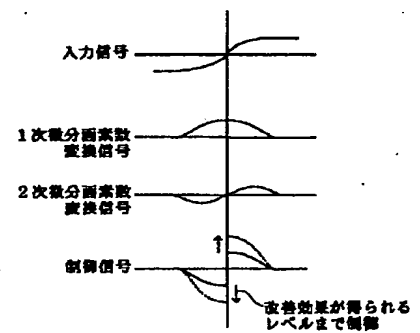
【図4】



【図5】



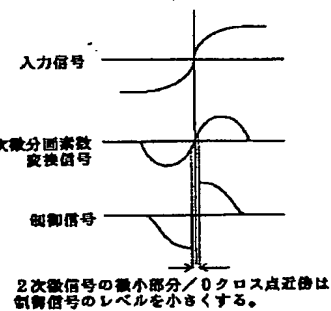
【図6】



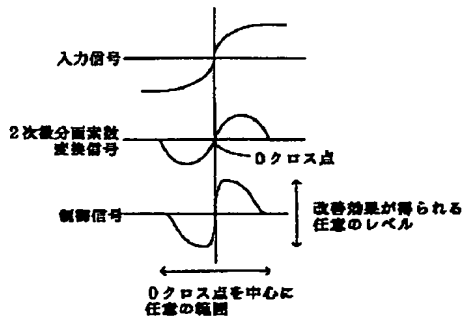
【図7】



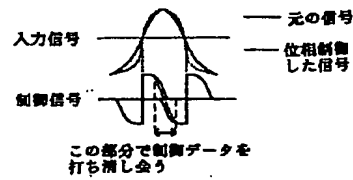
【図16】



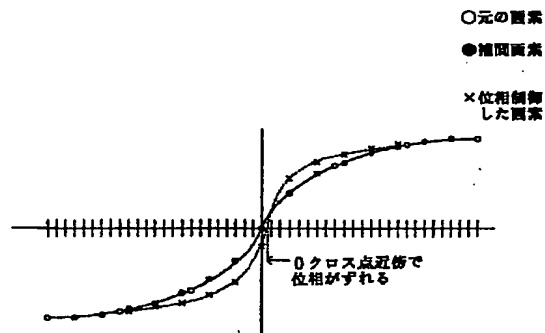
【図8】



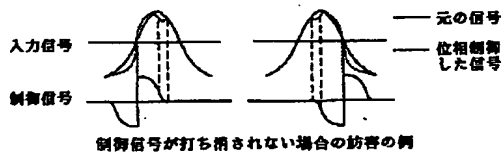
【図9】



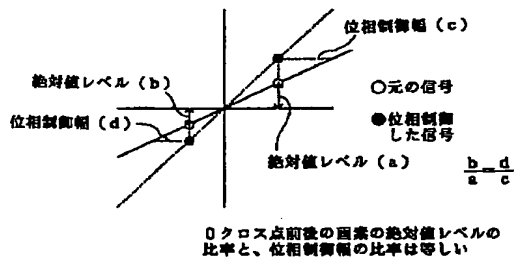
【図11】



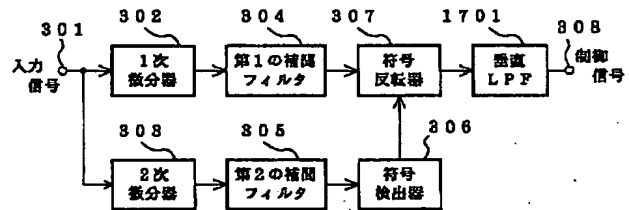
【図10】



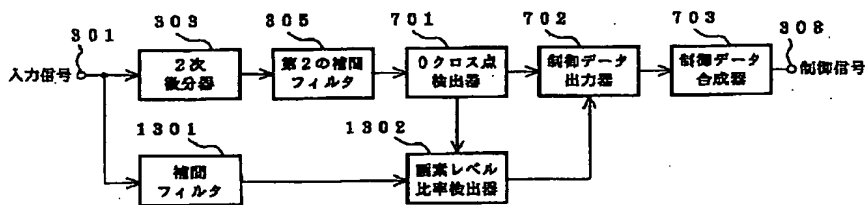
【図12】



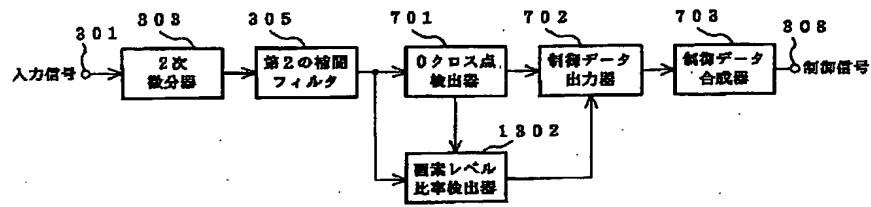
【図17】



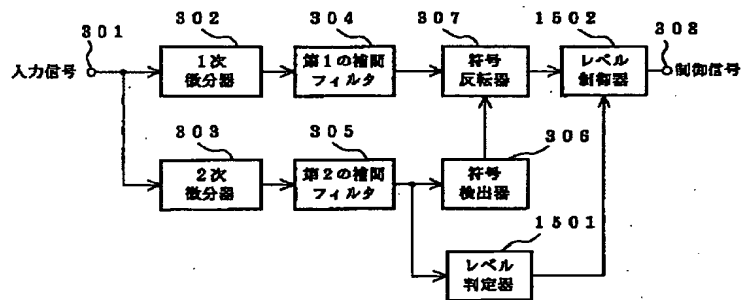
【図13】



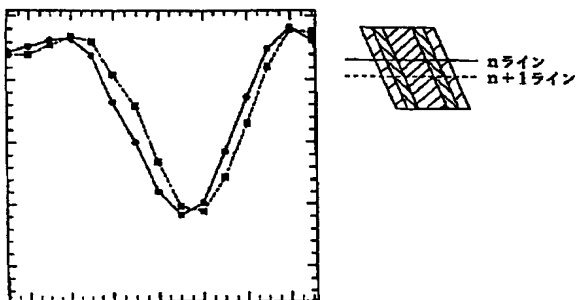
【図14】



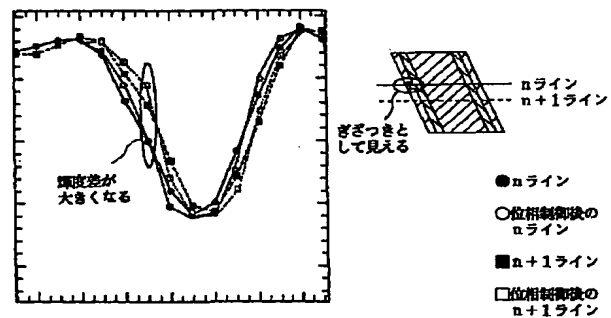
【図15】



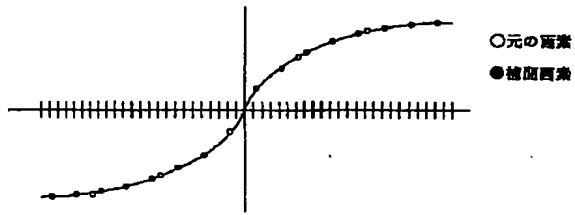
【図18】



【図19】



【図 21】



【図 22】

